

高效運算需求驅動半導體先進製程的競逐

前言

5G、AI、雲端運算等高效運算需求的持續增加，驅動半導體先進製程的發展。在半導體微縮技術難度與研發成本不斷提高下，半導體先進製程逐漸成為被少數 IC 製造廠壟斷的技術，也驅動了台積電、Samsung 與 Intel 等大廠近年在先進製程的競逐。本文將從晶片高效運算需求出發，對應半導體先進製程的發展目標，從而探討半導體先進製程發展現況與未來競逐重點。

鄭凱安

晶片高效運算需求與先進製程發展

隨著全球網路應用的普及以及物聯網裝置數量的大幅增加，日常生活與工作中所產生與需要傳輸的資料量大幅增加，帶動了資料科學 (Data Science)、人工智慧 (AI)、雲端運算 (Cloud Computing)、5G 通訊等技術與應用的發展，也使得資料高效運算 (High Performance Computing, HPC) 的需求持續攀升。

做為運算核心的半導體晶片，也在 HPC 多元應用的驅動下開始蓬勃發展，搭配各種應用需求的運算晶片在 IC 設計大廠努力下陸續面市，而一些新創公司也投入利基運算技術與應用，開發出具競爭優勢的高階運算晶片。

IC 設計大廠與新創公司無疑是促成高速運算晶片百家爭鳴、加速智慧科技應用多元發展的主要功臣，但從晶片設計到產出，半導體晶片先進製程技術所扮演的角色也是不容忽視的。

一般晶片運算效能可從運算速率與功耗二個面向探討，而高效運算晶片的開發的二大目標就是高運算速率與低功耗，這二個目標都可由製程微縮 (Scaling) 來達成，透過縮小電晶體的特徵尺寸，以減少電晶體及其電路在晶片上所佔據的面積，從而增加單一晶片容納的電晶體數量提高運算速率，並降低電晶體操作所需之電壓電流以減少功耗。

過去 50 多年來，IC 製造廠主要遵循著摩爾定律 (Moore's Law)，意即固定面積的電晶體數量每二年達到倍增，持續推動半導體製程微縮，其中最主要的重點技術就是定義電晶體特徵尺寸大小的微影 (Lithography) 技術。隨著製程微縮的持續推動，代表電晶體尺寸的微影技術節點 (Technology Node) 不斷縮小，從 1980 年代的微米 (μm) 等級，持續進化到 2004 年以後的奈米 (nm) 等級，乃至於今 (2020) 年台積電與 Samsung 導入量產的 5 nm。

微影技術節點的推進，主要是依循由全球主要 IC 製造相關協會聯合擬定的國際半導體技術道路圖 (International Technology Roadmap for Semiconductor, ITRS)。2004 年進入 90 nm 節點後，面臨持續微縮的技術挑戰與成本壓力，ITRS 參與成員的主要 IC 製造商陸續退出先進製程研發，從 2001 年的 19 家逐漸減少到 2016 年的五家：台積電 (TSMC)、Intel、Samsung、GlobalFoundries 以及聯電，中國大陸的中芯則緊追在後，確立了整了半導體專業代工產業生態，晶片規格也不再由 IC 製造商所主導，而是由系統需求、IC 設計業者與 IC 製造商共同決定。

ITRS 也在 2017 年功成身退，取而代之的是更著重於新系統需求的國際元件與系統路線圖 (International Roadmap for Devices and Systems, IRDS)。而隨著聯電及 GlobalFoundries 相繼在 2017 及 2018 年宣布放棄 7 nm 以下製程研發，全球半導體先進製程最終聚焦在台積電、Intel 與 Samsung 三家大廠。

台積電近年先進製程發展

台積電是目前半導體先進製程的領跑者。表一中整理了台積電近年先進製程的規劃與發展，其中灰階底色的 N10 (10 nm)、N7 (7 nm)、N5 (5 nm)、N3 (3 nm) 各自代表一個主要技術節點與世代。在表中，台積電在 2017 年及 2018 年分別正式進入 10 nm 及 7nm 製程量產後，將維持了每二年推進一世代的步調，其中於今年 2020 年進入 5 nm 量產製程，並規劃於 2022 年進入 3 nm 量產製程，其中每一世代在晶片效能的提升方面，均維持了運算速率提升 15 % 以上與功耗降低 30 % 以上的水準。

極紫外光 (Extreme Ultra Violet, EUV) 微影技術在 2019 年的導入 (N7+ 節點)，有效地提升台積電在電晶體細微結構的設計與製作能力，幫助台積電在 7 nm 與 5 nm 節點發展出多個附屬的技術節點，如附屬於 N7 節點的 N7P、N7+ 與 N6，以及附屬於 N5 節點後續改良版的 N5P 及 N4。這些附屬的技術節點組成了多元製程解決方案，滿足了 IC 設計大廠如 Apple、Qualcomm、NVIDIA、聯發科在晶片應用、效能、良率與成本等方面的不同規格需求。

表一、台積電先進製程規劃與發展

技術節點	製程技術	量產年份	比較基準	Logic 密度比	效能提升	
					運算速率	功耗
N10	FinFET	2017	N16	2.0 x	+ 15 %	- 35 %
N7	FinFET	2018	N10	1.6 x	+ 20 %	- 40 %
N7P	FinFET	2019	N7	--	+ 7 %	- 10 %
N7+	FinFET EUV	2019		1.2 x	+ 10 %	- 15 %
N6	FinFET EUV	2020		1.18 x	--	--
N5	FinFET EUV	2020	N7	1.8 x	+ 15 %	- 30 %
N5P	FinFET EUV	2021	N5	--	+ 5 %	- 10 %
N4	FinFET EUV	2022		--	--	--
N3	FinFET EUV	2022	N5	1.7 x	+ 15 %	- 30 %

資料來源：台積電，MIC 整理，2020 年 11 月

台積電、Intel、Samsung 競逐先進製程

下面圖二依各家所公布的製程發展路線圖，比較台積電、Intel、Samsung 的先進製程發展進程與技術選擇。

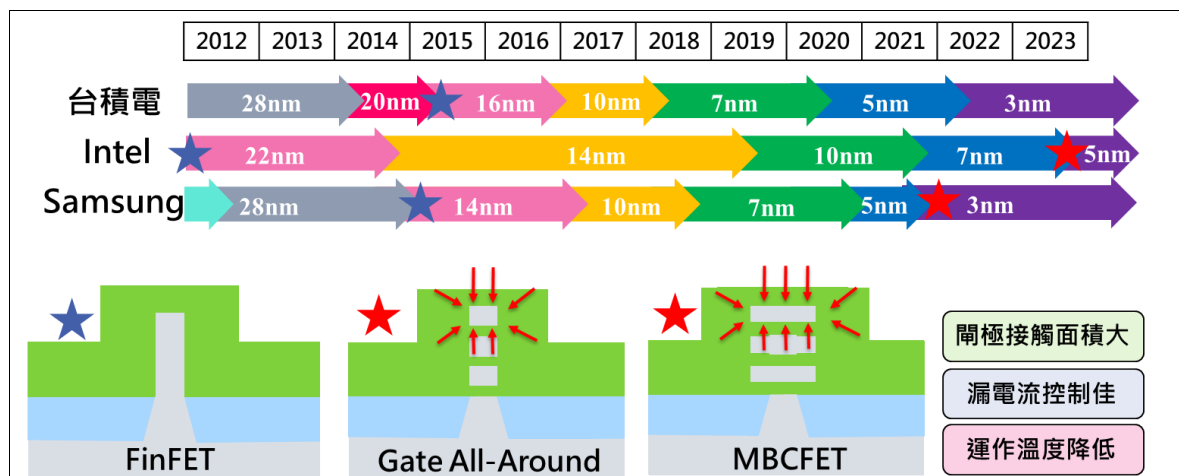
在先進製程技術的發展中，Intel 原本在早年處於絕對領先的地位，技術超越台積電與 Samsung 一個世代。然而，在 2014 年進入 14 nm 製程後，Intel 對下一代 10 nm 技術節點的研發陷入了瓶頸，而台積電與 Samsung 趁勢迎頭趕上，於 2018 年分別導入 7 nm 量產製程，並於 2020 年先後導入 5 nm 量產製程。

Intel 雖於 2019 年導入了 10 nm 量產製程，但已落後台積電與 Samsung 一年左右，並影響其自製高階晶片的產能與競爭力。為遏制高階晶片的市占率滑落，Intel 在積極投入下一個技術節點研發的同時，也不得不對委託台積電或 Samsung 代工完成部分晶片製作的方案進行審慎的評估。

在電晶體結構的選擇方面，目前台積電、Intel、Samsung 都是採用鰭式場效電晶體 (Fin Field-Effect Transistor, FinFET) 結構，而下一世代的電晶體結構是所謂的環繞式閘極 (Gate All Around, GAA) 結構，藉由更大的閘極接觸面積提升對電晶體導電通道 (Channel) 的控制能力，從而降低操作電壓、減少漏電流，有效降低晶片運算功耗與操作溫度。

技術領先的台積電在 3 nm 節點則預計持續採用 FinFET 結構，並規劃在 2 nm 節點才導入 GAA 結構，但落後的 Samsung 與 Intel，則選擇在下一技術節點 (Samsung，3 nm；Intel，5 nm) 導入 GAA 結構，試圖藉由 GAA 結構的優勢提升晶片的效能，形成對台積電所生產晶片的競爭優勢；Samsung 更是規劃提前於 2021 年導入 3 nm GAA 量產製程，在技術節點的突破時程上再次取得領先地位。

圖一、台積電、Intel、Samsung 在先進製程的競逐



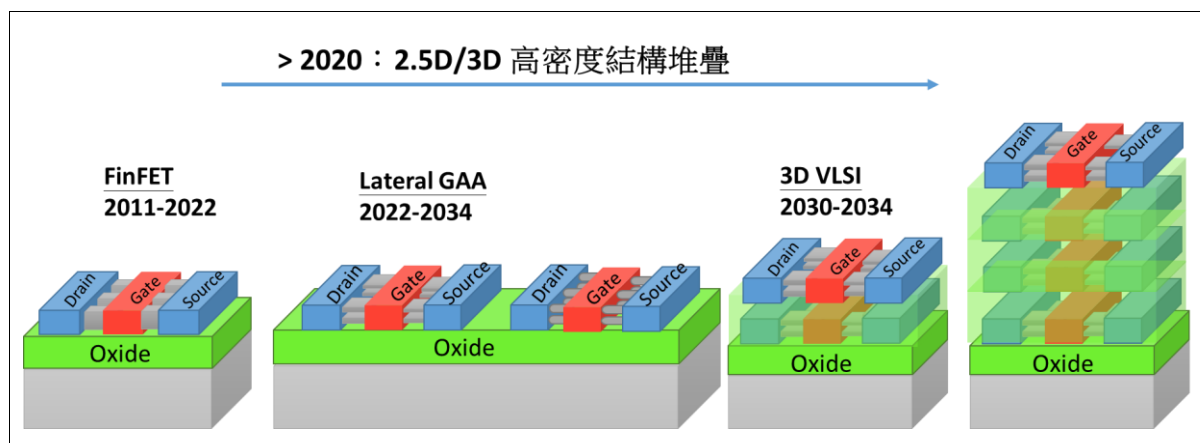
資料來源：各公司，MIC 整理，2020 年 11 月

摩爾定律的延續：由微縮邁向 3D 堆疊

為達成晶片運算效能的持續提升，摩爾定律要求每二年固定面積的電晶體數量倍增。但是，隨著技術節點的推進，微影技術以及搭配的薄膜、蝕刻等之技術挑戰與研發成本持續高漲，歷經 50 餘年的摩爾定律已經面臨極限。以台積電與 Samsung 為例，每一技術節點的尺寸微縮已經無法達到電晶體數量倍增的目標，必須藉由新的方法增加電晶體的密度。如圖三所示，在 IRDS 的「More Moore」報告中，清楚揭示了延續摩爾定律的新製程結構發展方向：電晶體的 3D 堆疊。

根據 IRDS 的規劃，在 2021-2022 年以後，FinFET 結構將被 GAA 結構所取代，而半導體先進製程將會邁入 2 nm 技術節點，但在此之後，製程微縮的難度與成本將會難以承受，取而代之的是在相同的技術節點中發展新的電晶體結構，其中主流的技術發展方向就是透過電晶體的向上堆疊增加電晶體的數量與密度；而下一步則是透過調整電晶體上方的金屬內連線 (Interconnect) 結構，壓縮內連線空間形成更密集的電路交錯堆疊，以縮小邏輯單元的整體面積。預期未來 10 年，電晶體與內連線堆疊技術將是半導體製程研發的主要方向，需要 IC 設計、製程、材料、封裝以及製程設備等所有相關技術的密切配合。

圖二、高密度結構堆疊的發展趨勢



資料來源：IRDS (2020) · MIC 整理 · 2020 年 11 月

MIC 觀點

摩爾定律面臨極限，以 MOSFET 為主的矽電晶體，在 2 nm 技術節點之後已面臨技術與成本的雙重瓶頸，新的晶片結構如電晶體與內連線的 3D 堆疊設計已被確立為未來十年的發展動點。

但是，運算效能的提升也可考慮藉由新材料的引入。例如，以鍺 (Ge) 取代矽 (Si) 成為電晶體通道材料，由於鍺的電子遷移率 (Mobility) 是矽的 2-3 倍，將可有效提高電晶體的傳導與切換速率，從而提高運算速率；其他半導體材料如砷化鎵 (GaAs)，電子遷移率是矽的 4 倍，也是高效運算晶片開發的重要候選材料。

另一個重要的研究方向則是新的元件物理特性與操作原理。例如，在通道長度僅 2 nm 之下，通道兩側的量子穿隧效應 (Tunneling Effect) 可能顯現，影響閘極對通道導電的控制；在採用磁性半導體材料製作的電晶體中，通道兩側電極的電子自旋 (Electron Spin) 方向差異將會影響通道的電阻；又或可考慮發展室溫下操作的量子運算晶片，以完全不同於邏輯運算晶片的操作原理實現運算。

面對晶片運算效能提升的需求，IC 製造業者必須持續投入研發，而在既有製程技術的精進以外，新結構、新材料或新元件物理的發展將是新的競逐重點。



發行所	財團法人資訊工業策進會 產業情報研究所(MIC)
地址	台北市 106 敦化南路二段 216 號 19 樓
電話	(02)2735-6070
傳真	(02)2732-1353
全球資訊網	https://mic.iii.org.tw
會員服務專線	(02)2378-2306
會員傳真專線	(02)2732-8943
E-mail	members@micmail.iii.org.tw
AISP 會員網站	https://mic.iii.org.tw/aisp

以上研究報告經 MIC 整理分析所得，由於產業變動快速，並不保證上述報告於未來仍維持正確與完整，引用時請注意發佈日期，及立論之假設或當時情境。
著作權所有，非經 MIC 書面同意，不得翻印或轉載