



AMD 3D Chiplet專利技術解析

鄭凱安 資深產業分析師兼產品經理

產業情報研究所(MIC)

財團法人資訊工業策進會

2021.07.21

andykacheng@iii.org.tw
mic.iii.org.tw

MIC[®]



簡報大綱

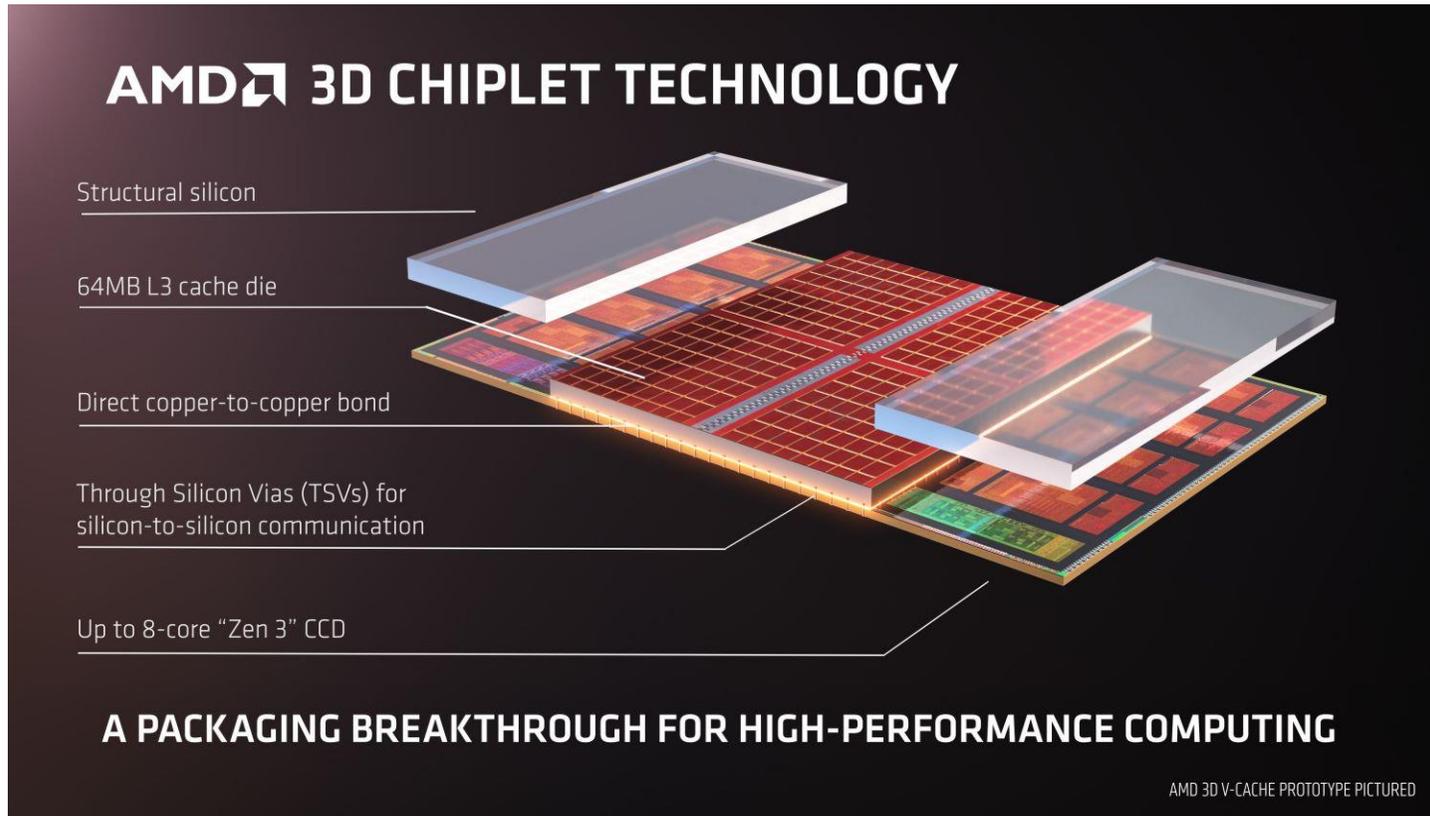
- ❖ 背景說明
- ❖ AMD 3D chiplet 專利解析
- ❖ 重要相關專利
- ❖ 結論



背景說明



AMD 3D Chiplet產品發表於COMPUTEX



資料來源：AMD，2021年7月

- ❖ Ryzen 9 5900X CPU採用active-on-active 3D小晶片（chiplet）新結構，每一小晶片除本身32MB cache外，額外以3D封裝配置64MB的L3 cache
- ❖ 超過2D chiplet 200倍的互連密度、僅具現有3D解決方案1/3的功耗，與標準版Ryzen 9 5900X測試比較，每秒可處理的幀數FPS +12%





AMD聚焦3D chiplet技術的主要專利

	專利號 (公開/公告)	專利名稱	申請日	公開/公告日
1	US20210158599A1	DATA FLOW IN A DISTRIBUTED GRAPHICS PROCESSING UNIT ARCHITECTURE	2019/11/27	2021/05/27
2	US20210098419A1	FABRICATING ACTIVE-BRIDGE-COUPLED GPU CHIPLETS 重要相關專利-2	2019/09/27	2021/04/01
3	US20210097013A1	ACTIVE BRIDGE CHIPLET WITH INTEGRATED CACHE 主要專利	2019/09/27	2021/04/01
4	US20210026686A1	CHIPLET-INTEGRATED MACHINE LEARNING ACCELERATORS	2020/07/20	2021/01/28
5	US20200409859A1	GPU CHIPLETS USING HIGH BANDWIDTH CROSSLINKS 重要相關專利-1	2019/06/28	2020/12/31
6	US20180102338A1	CIRCUIT BOARD WITH BRIDGE CHIPLETS	2016/10/06	2018/04/02
7	US10090236B2	Interposer having a Pattern of Sites for Mounting Chiplets	2016/01/13	2018/10/02

資料來源：USPTO，MIC整理，2021年7月

❖ 2021年4月1日公告的「ACTIVE BRIDGE CHIPLET WITH INTEGRATED CACHE」揭示AMD最新發表的active-on-active 3D chiplet結構





AMD 3D chiplet專利解析

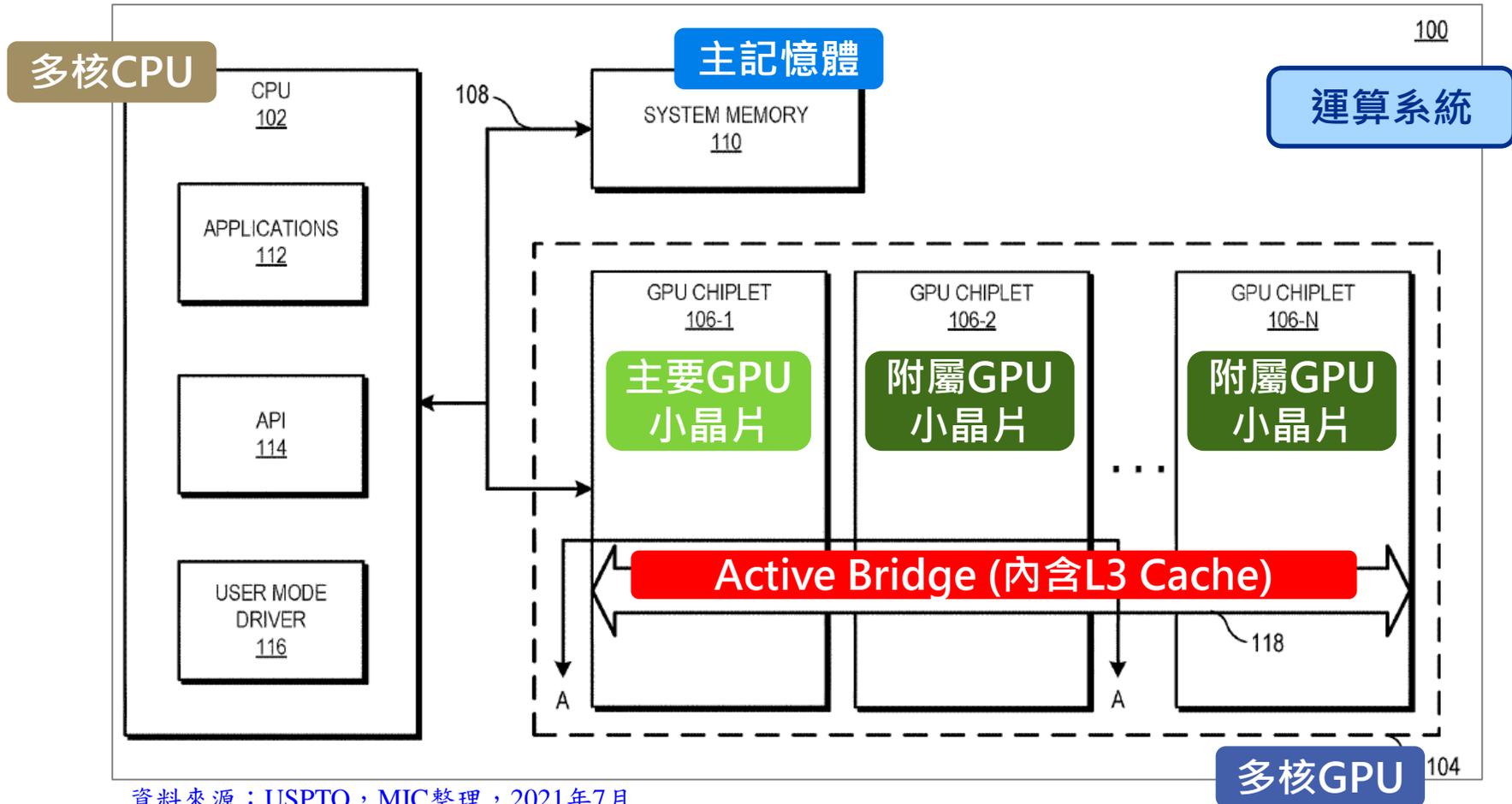


主要專利：US20210097013概要

- ❖ 專利名稱：**ACTIVE BRIDGE CHIPLET WITH INTEGRATED CACHE**
- ❖ 申請人：ADVANCED MICRO DEVICES, INC.
- ❖ IPC技術分類：
 - G06F 13/40 資料互通bus的結構
 - G06F 12/0815 多處理器用的cache資料存取
 - G06T 1/20 影像資料處理器架構或處理流程
- ❖ 專利所涉及晶片類型：GPU
- ❖ 發明緣起：GPU發展面臨的挑戰
 - 隨著高效能運算需求持續增加，GPU需要負擔的運算工作更多，使得GPU內部的平行運算結構與電路更加複雜，使傳統以單一晶片製程製作，也就是所謂monolithic的GPU元件結構更加複雜，製程精度要求更加嚴峻。這也造成了GPU隨著運算效能提升，維持製程良率與控制開發成本成為一大挑戰
 - 因應這樣的挑戰，本次AMD的專利申請案提出以由多個小晶片組合代替小區塊形成GPU，以Active Bridge串接GPU小晶片進行整合運算的設計，並運用3D封裝技術完成小晶片間的結構整合，以減少晶片製程的挑戰
 - 此外，所有GPU小晶片將透過單一主要GPU小晶片對CPU進行溝通，提升應用程式在進行運算與資料存取時之效率



以Chiplet構建GPU



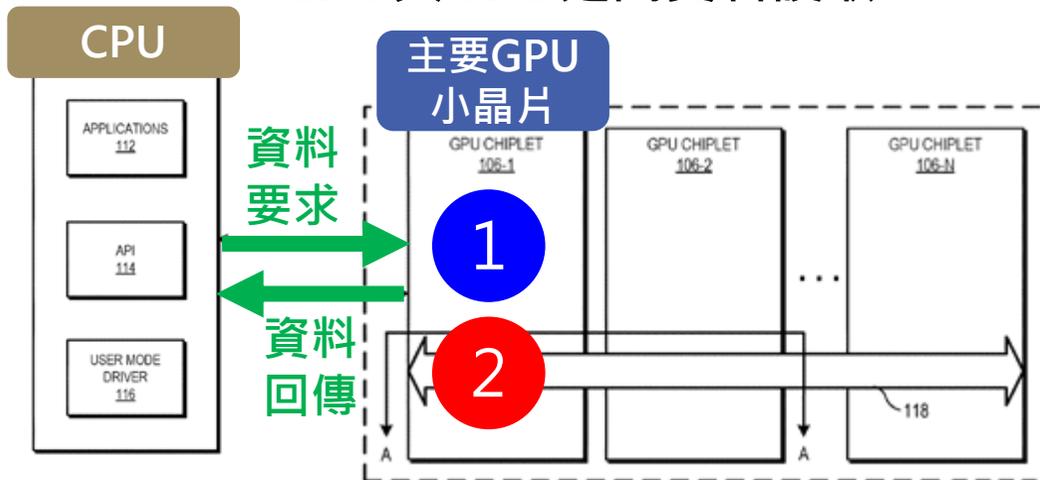
資料來源：USPTO，MIC整理，2021年7月

- ❖ 運算系統由一多核CPU、一多核GPU及主記憶體組成
- ❖ 多核GPU每一核心即為一GPU小晶片（Chiplet），由主動式橋接小晶片（Active Bridge Chiplet）連結；GPU的L3 cache設置於Active Bridge上

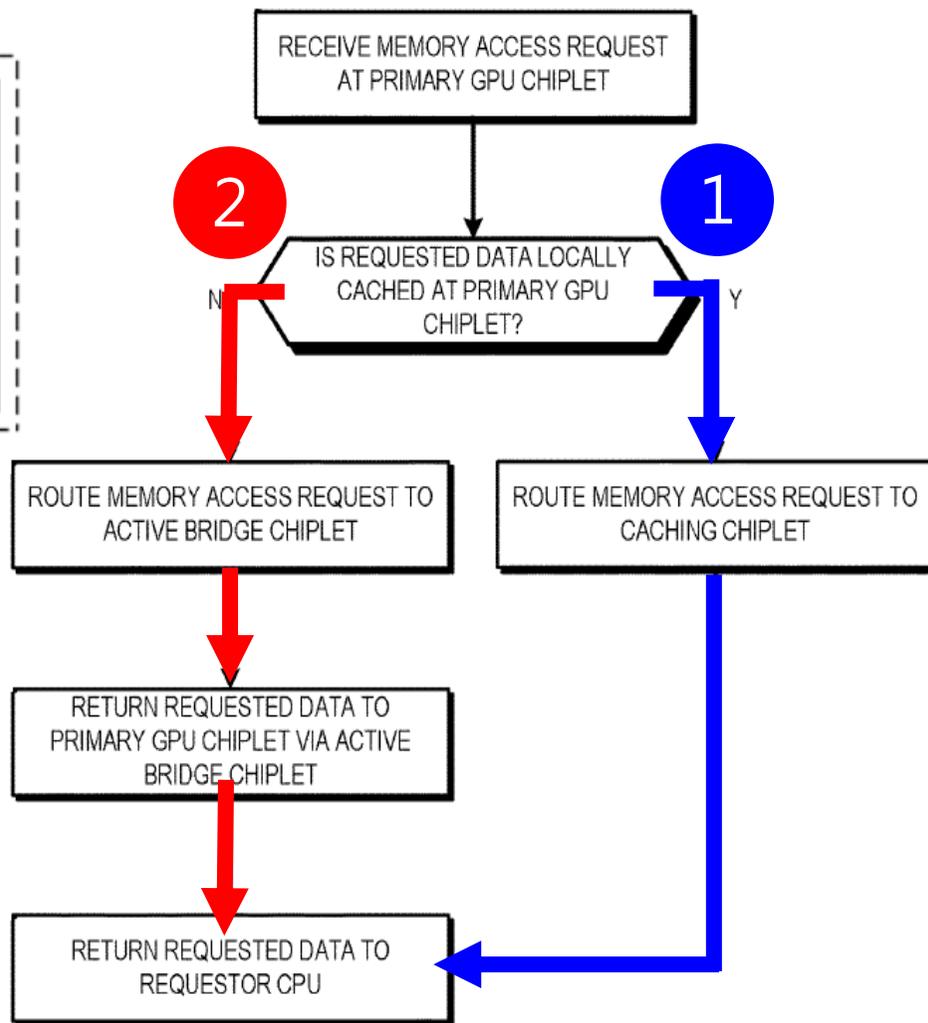


GPU記憶體資料存取操作

CPU與GPU之間資料讀取



主要GPU小晶片的記憶體存取操作

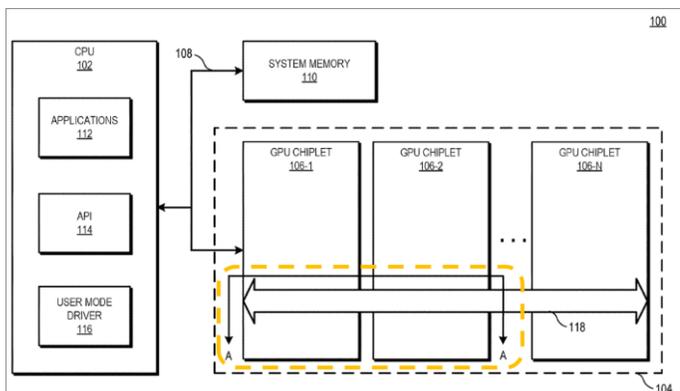


資料來源：USPTO，MIC整理，2021年7月

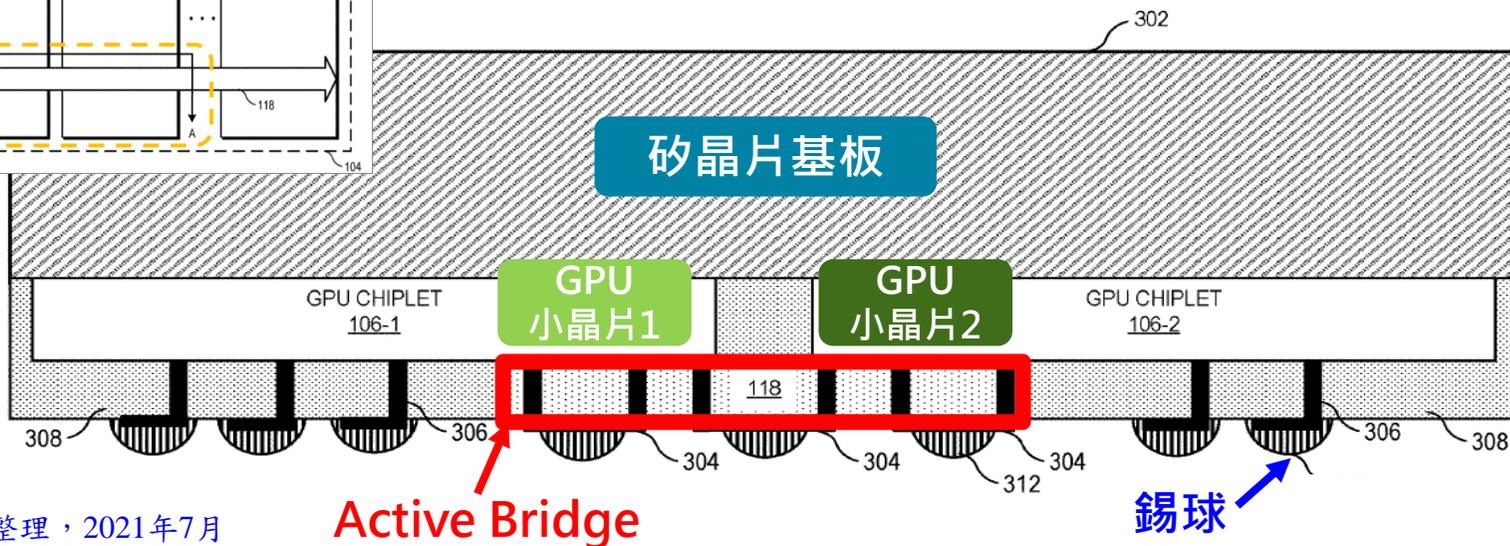
- ❖ CPU只與主要GPU小晶片要求資料存取
- ❖ 依照資料所處位置決定動作：
 - (1)當資料位於主要GPU小晶片的L1或L2cache中，則直接取出回傳給CPU
 - (2)若資料位於附屬GPU小晶片的cache或Active Bridge上的L3 cache，則透過Active Bridge取得資料後回傳給CPU



3D Chiplet GPU封裝結構設計(1/2)



Active Bridge與GPU小晶片封裝設計
設計A：GPU小晶片沒有TSV結構



資料來源：USPTO，MIC整理，2021年7月

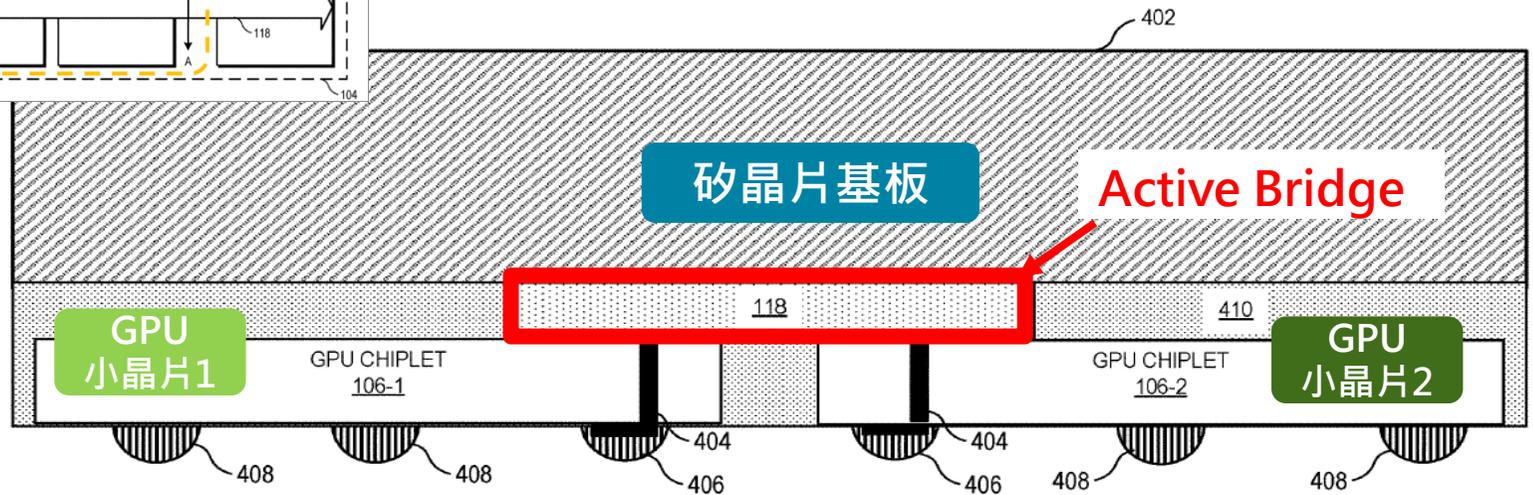
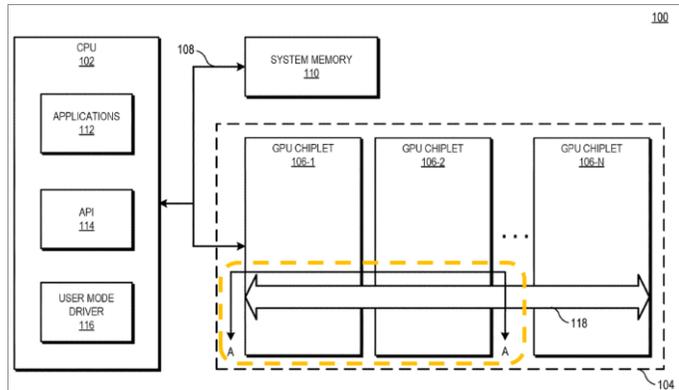
- ❖ 2個GPU小晶片貼附在矽晶片基板上，而Active Bridge則貼合在2個GPU小晶片的上方，並與GPU小晶片保持電路連結，GPU小晶片上方及與Active Bridge間形成的空洞以介電材料填充
- ❖ 在Active Bridge與介電材料上設有TSV（Through Silicon Via）與TDV（Through Dielectric Via）導電通道，以便輸入輸出訊號連接GPU
- ❖ 矽晶片基板翻轉朝下，以錫球與下方電路板或載板形成訊號連結與封裝





3D Chiplet GPU封裝結構設計(2/2)

Active Bridge與GPU小晶片封裝設計
設計B：Active Bridge沒有TSV結構



資料來源：USPTO，MIC整理，2021年7月

- ❖ Active Bridge先貼附在矽晶片基板上，而2個GPU小晶片則貼合在Active Bridge的上方，中間的空間以介電材料填充
- ❖ Active Bridge在下方，GPU小晶片必須設置TSV以形成Active Bridge所需的對外訊號連接通道
- ❖ 矽晶圓基板翻轉向下，以錫球與載板或電路板形成訊號連結與封裝



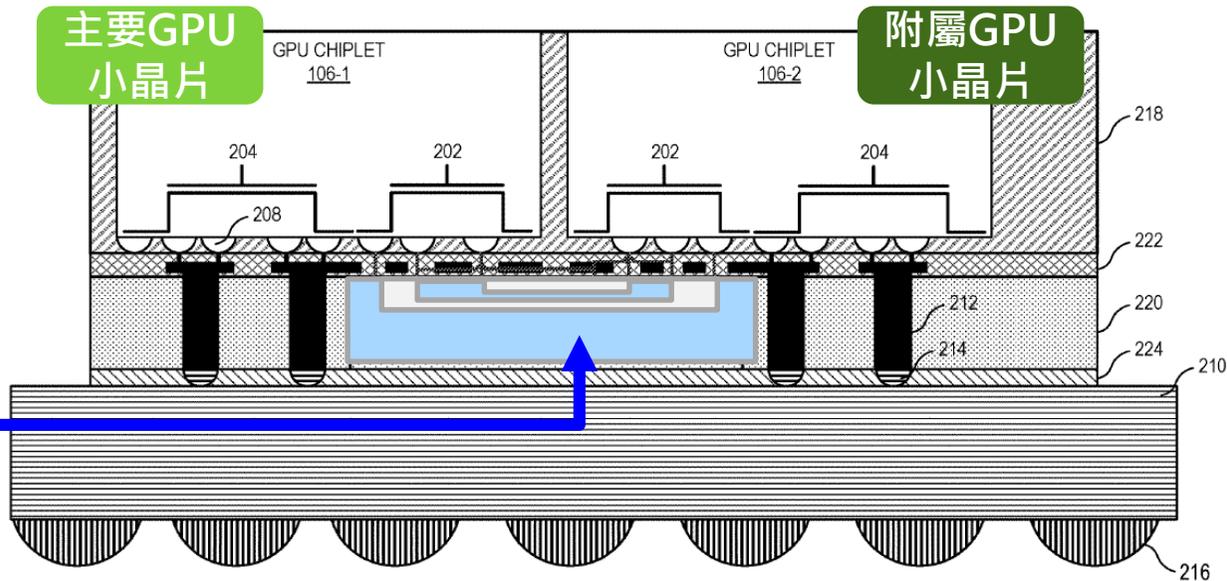
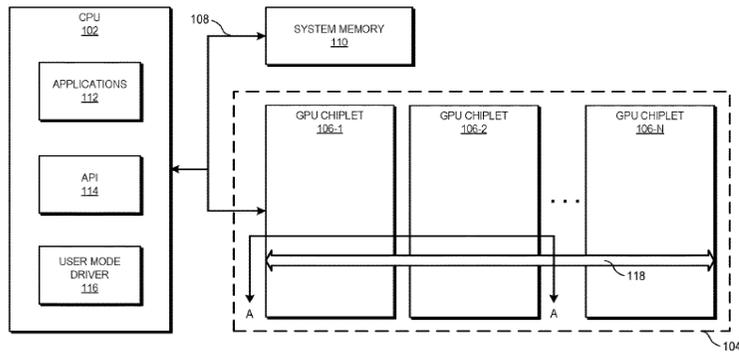


重要相關專利



重要相關專利-1：US20200409859(1/2)

- ❖ 專利名稱：GPU Chiplets using High Bandwidth **CrossLinks**
- ❖ 申請人：ADVANCED MICRO DEVICES, INC.
- ❖ IPC技術分類：
 - G06F 12/0897 多處理器用的多階層cache
 - G06F 13/16 資料互通bus的操控
 - G06F 13/40 資料互通bus的結構



高頻寬連結通道Crosslink

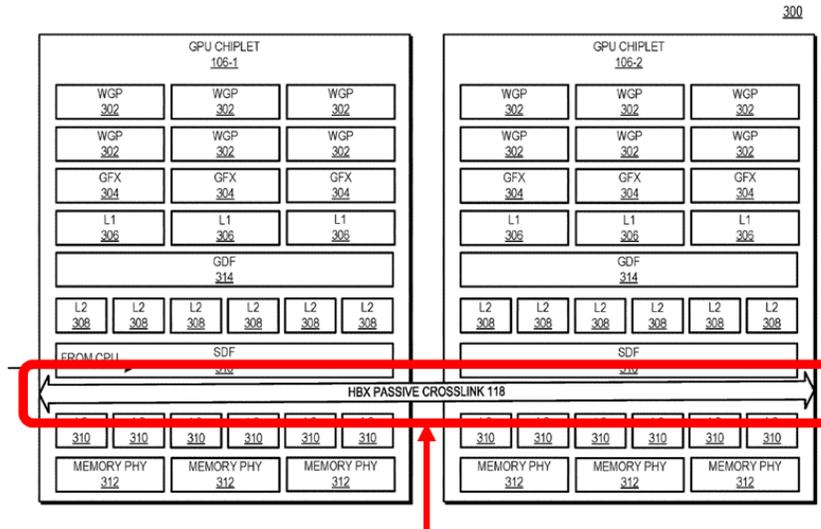
資料來源：USPTO，MIC整理，2021年7月



重要相關專利-1：US20200409859(2/2)

US20200409859A1

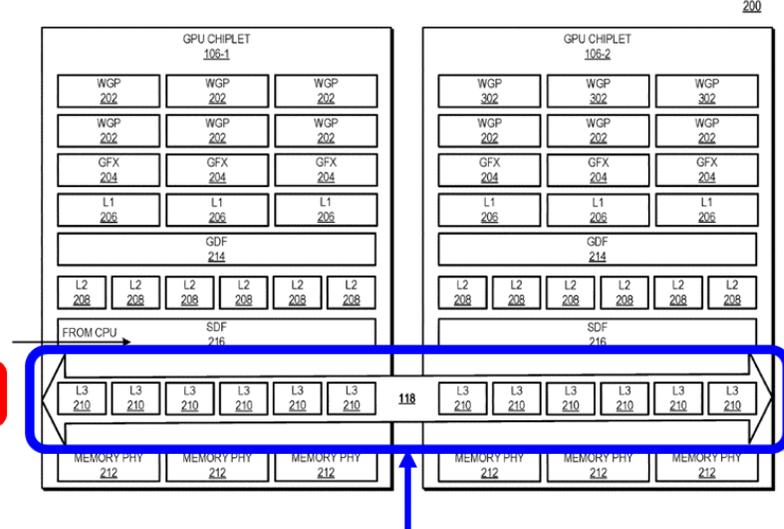
GPU Chiplets using High Bandwidth CrossLinks



- 單純橋接結構
- L3 Cache存在每一個Chiplet
- GPU Chiplet面積較大

US20210097013A1

ACTIVE BRIDGE CHIPLET WITH INTEGRATED CACHE



- 橋接結構上整合記憶體
- 單一L3 Cache
- GPU Chiplet面積縮小

資料來源：USPTO，MIC整理，2021年7月

- ❖ 與Active Bridge結構比較，GPU小晶片以Crosslink進行連結的設計製程相對簡單
- ❖ 缺點是GPU小晶片上必須保留L3 cache，將會擠壓到運算單元與L1、L2 cache所需面積：L1/L2容量受限、運算單元面積受限，且L3 cache容量受到限制

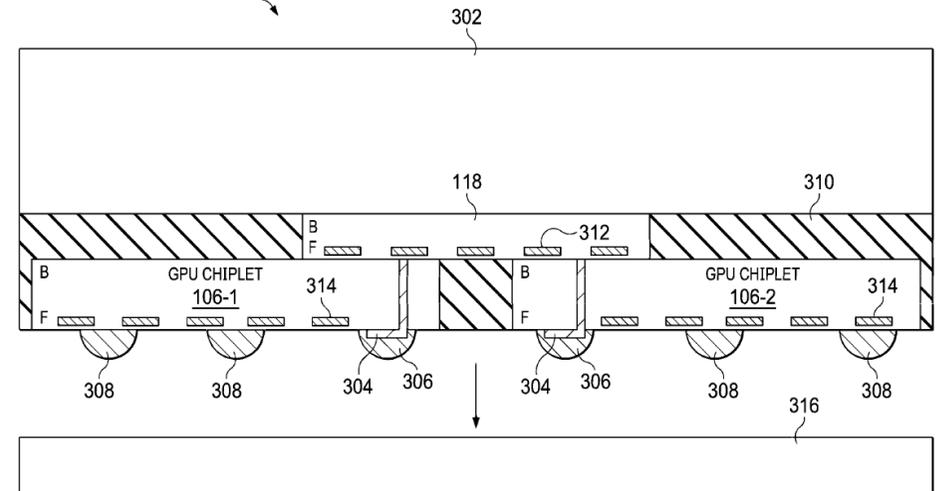
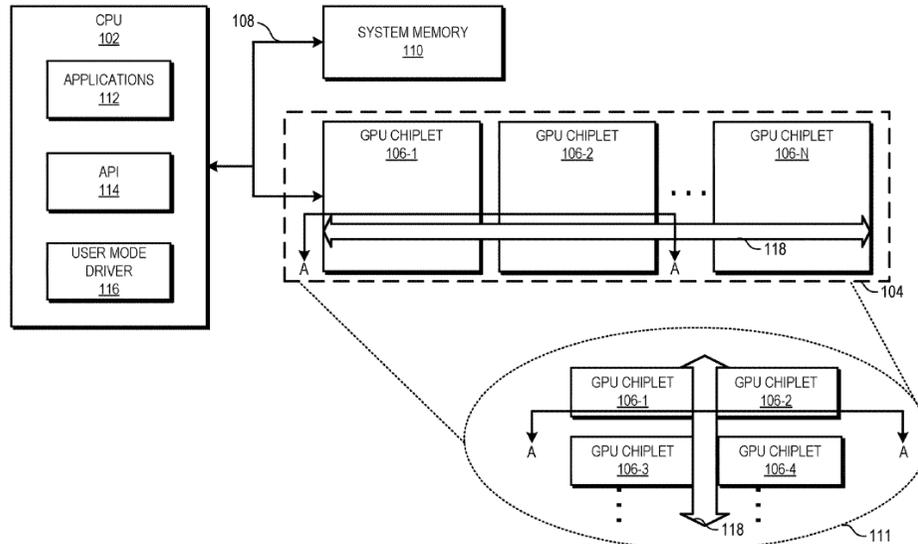




重要相關專利-2：US20210098419(1/3)

- ❖ 專利名稱：**FABRICATING ACTIVE-BRIDGE-COUPLED GPU CHIPLETS**
- ❖ 申請人：ADVANCED MICRO DEVICES, INC.
- ❖ IPC技術分類：
 - H01L 23/00 半導體元件結構細節
 - H01L 25/065 單一基板上之元件組裝
 - G06F 8/41 製程Layout轉譯

Chiplet GPU結構與封裝製程

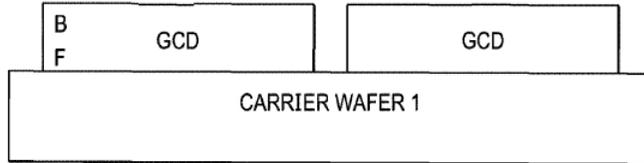




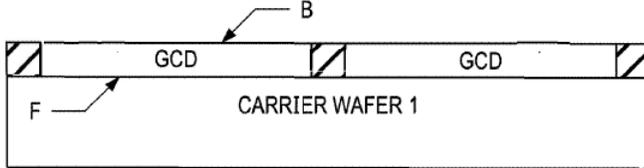
重要相關專利-2：US20210098419(2/3)

主要封裝製程步驟

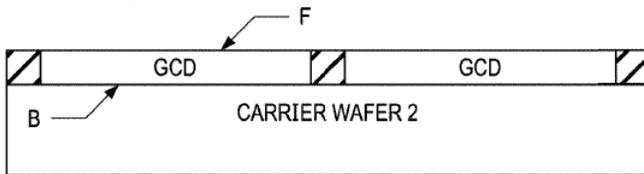
1. GCD正面向下貼附於臨時保護載板上



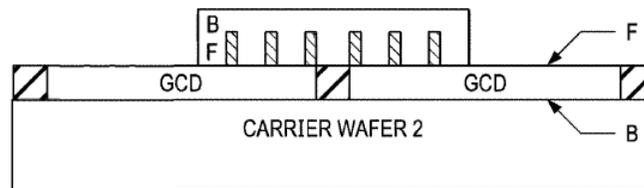
2. GCD背面研磨薄化



3. GCD背面貼附到正式載板上

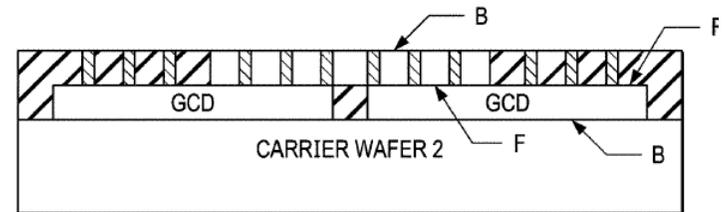


4. Active Bridge內含TSV正面向下貼合GCD

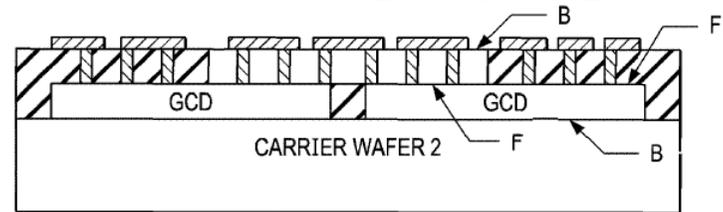


Active Bridge與GPU小晶片封裝設計 設計A：GPU小晶片沒有TSV結構

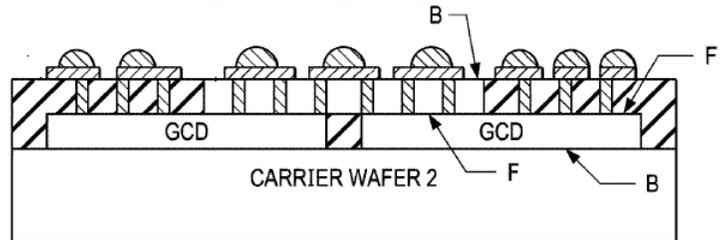
5. Active Bridge背面覆蓋介電材料後
研磨薄化，露出TSV，並製作TDV



6. 在TSV、TDV露出處製做接觸電極



7. 完成接觸電極上之錫球製程





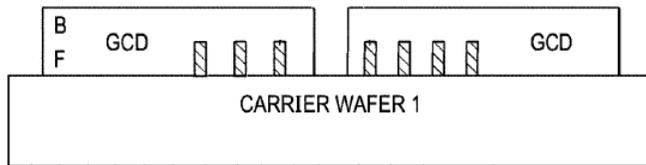
重要相關專利-2：US20210098419(3/3)

主要封裝製程步驟

Active Bridge與GPU小晶片封裝設計 設計B：Active Bridge沒有TSV結構

1. GCD內含TSV

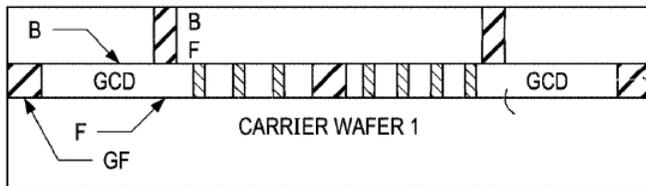
正面向下貼附於臨時保護載板上



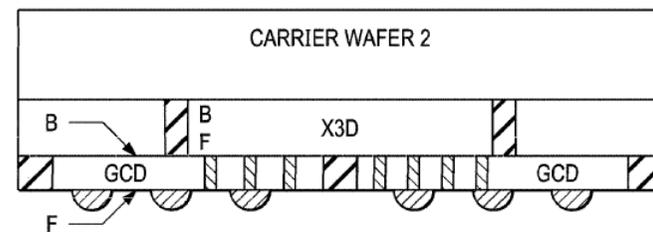
2. GCD背面覆蓋介電材料後研磨薄化 露出TSV



3. Active Bridge正面向下貼合GCD 覆蓋介面材料後背面平坦化



4. 背面貼合於載板 正面完成TSV接觸電極與錫球製程





結論



結論 (1/2)

❖ 將L3 cache安置在Active Bridge上除了增加記憶體容量，也有助於增加晶片運算單元的堆疊密度，有助於提升運算效能

- 從傳統2D的晶片中，快取記憶體在晶片中是占據一定面積的。隨著晶片運算效能需求的提升，晶片中運算元件的數量必須增加，無疑地將會與快取記憶體爭奪晶片可用空間，但快取記憶體又是高效能運算中資料暫存不可或缺的部分，一旦容量過小將會影響運算中資料的存取速度，導致運算效能降低。上述的兩難使得運算單元與快取記憶體的空間規劃成為高階晶片設計的重大挑戰。
- AMD利用3D active-on-active堆疊技術將L3 cache由平面的GPU小晶片中移出，轉而建置在Active Bridge上，這樣的設計除了使晶片設計者有空間規劃足夠的L3 cache容量，從記憶體層面提高運算效能外，事實上還有另一個重要的優點，就是在GPU小晶片中除去了L3 cache所需的空間，使小晶片可做到同樣運算單元數量下面積更小或是同樣面積下規劃更多的運算單元，從而增加晶片運算單元的堆疊密度。無論是記憶體容量還是運算單元密度的增加，都足以提升運算效能，是非常棒的設計。



結論 (2/2)

❖ Chiplet成為高階晶片開發的重要技術選擇，台廠應提前布局

- 隨著資料中心與邊緣運算需求持續增加，不論CPU、GPU、ASIC或SoC，對於運算效能提升的需求將不斷增加，但在高密度的運算單元堆疊下，晶片製程的良率與運算中產生的大量熱能成為巨大挑戰。相較於monolithic單一晶片製程所製作的晶片，chiplet較小的面積與相對簡單的電路將可提高製程良率，而不論是2D或3D封裝，小晶片也增加了利用封裝結構分散熱能的可能性。從AMD此次揭露的技術與產品來看，chiplet的架構設計已成為高階運算晶片開發不可忽視的一個方向。
- 從Active Bridge結構來看，採用chiplet設計的高階運算晶片對於先進封裝有較高的需求，也將使AMD等晶片商對於台積電的依賴程度持續增加。在這樣的趨勢下，台積電以及其先進封裝的設備、材料夥伴等更需提前布局，強化先進封裝產能的良率與穩定供給，才能在未來與高階晶片供應商共榮發展。



智慧財產權暨引用聲明

- ❖ 本活動所提供之講義內容或其他文件資料，均受著作權法之保護，非經資策會或其他相關權利人之事前書面同意，任何人不得以任何形式為重製、轉載、傳輸或其他任何商業用途之行為
- ❖ 本講義內容所引用之各公司名稱、商標與產品示意照片之所有權皆屬各公司所有
- ❖ 本講義全部或部分內容為資策會產業情報研究所整理及分析所得，由於產業變動快速，資策會並不保證本活動所使用之研究方法及研究成果於未來或其他狀況下仍具備正確性與完整性，請台端於引用時，務必注意發布日期、立論之假設及當時情境